

Informatik-Fachberichte 168

Herausgegeben von W. Brauer
im Auftrag der Gesellschaft für Informatik (GI)

U.Kastens F.J.Rammig (Hrsg.)

Architektur und Betrieb von Rechensystemen

10. GI/ITG-Fachtagung
Paderborn, 9.-11. März 1988
Proceedings



Springer-Verlag
Berlin Heidelberg New York
London Paris Tokyo

Herausgeber

U. Kastens

F. J. Rammig

Universität-Gesamthochschule Paderborn

Mathematik-Informatik (FB 17)

Warburger Straße 100, 4790 Paderborn

CR Subject Classifications (1987): C.1.1-3, C.2, D.4.1, D.4.4

ISBN-13: 978-3-540-18994-7 e-ISBN-13: 978-3-642-73451-9

DOI: 10.1007/ 978-3-642-73451-9

Dieses Werk ist urheberrechtlich geschützt. Die dadurch begründeten Rechte, insbesondere die der Übersetzung, des Nachdrucks, des Vortrags, der Entnahme von Abbildungen und Tabellen, der Funksendung, der Mikroverfilmung oder der Vervielfältigung auf anderen Wegen und der Speicherung in Datenverarbeitungsanlagen, bleiben, auch bei nur auszugsweiser Verwertung, vorbehalten. Eine Vervielfältigung dieses Werkes oder von Teilen dieses Werkes ist auch im Einzelfall nur in den Grenzen der gesetzlichen Bestimmungen des Urheberrechtsgesetzes der Bundesrepublik Deutschland vom 9. September 1965 in der Fassung vom 24. Juni 1985 zulässig. Sie ist grundsätzlich vergütungspflichtig. Zuwiderhandlungen unterliegen den Strafbestimmungen des Urheberrechtsgesetzes.

© by Springer-Verlag Berlin Heidelberg 1988

2145/3140 – 543210

Vorwort

Der vorliegende Tagungsband dokumentiert eine weitere Veranstaltung der erfolgreichen Tagungsreihe "Architektur und Betrieb von Rechensystemen", der wohl ältesten der Informatik in Deutschland. Die weit gespannte Thematik der Reihe von Betriebssystemfragen über Rechnerarchitekturen bis hin zu qualitativen und quantitativen Bewertungen von Einzel- und Systemlösungen hat immer ein breites Interesse bei Autoren und Teilnehmern gefunden. Die Tagungen wurden als Forum zur Präsentation und Diskussion aktueller Entwicklungen in Industrie und Wissenschaft gut angenommen.

Der Programmausschuß hat für die diesjährige Veranstaltung schon in seinem Aufruf zur Vortragsanmeldung aktuelle thematische Schwerpunkte im Bereich der Rechnerarchitektur angesprochen, ohne dabei allgemeine Themen zum Betrieb von Rechensystemen auszugrenzen. Die eingereichten Beiträge haben bestätigt, daß damit das aktuelle Interesse des Adressatenkreises gut getroffen wurde. Es fiel deshalb dem Programmausschuß nicht schwer, ein Programm mit thematisch zusammengehörigen Beiträgen zu recht ausgewogenen Sitzungen zusammenzustellen.

Dadurch, daß die Mikroelektronik ganz neue Möglichkeiten bietet, aber auch neue Restriktionen impliziert, wurden neuartige Architekturkonzepte möglich, aber auch notwendig. Diese Technologie eröffnet auch neue Anwendungsfelder in Gebieten, in denen bisher mit vertretbaren Kosten nicht die notwendige Rechenleistung angeboten werden konnte.

Dieser Trend wird in den ersten beiden Sitzungen der Tagung mit dem Thema Parallelrechner deutlich. Im Zusammenhang mit dem aktuellen deutschen Projekt, einen Supercomputer auf der Basis von handelsüblichen Bausteinen aufzubauen und gleichzeitig für bestimmte wichtige Anwendungsfelder (Mehrgitterverfahren) zu optimieren, sind mehrere Beiträge zu sehen. Aber auch Programmiermethoden, die im Feld der Rechnerarchitektur immer mehr an Bedeutung gewinnen, und der Ansatz der Systolischen Arrays werden behandelt.

Dem wichtigen Bereich der Prozeßkommunikation ist die dritte Sitzung gewidmet. Hier sieht man besonders deutlich die enge Verzahnung von parallelen Rechnerstrukturen und Programmierkonzepten.

Ursprünglich aus Flächenrestriktionen bei VLSI-Implementierungen geboren, hat sich das RISC-Konzept zu einer leistungsfähigen Realisierungsmethode für Universalprozessoren entwickelt. Dieser Entwicklung sind zwei weitere Sitzungen gewidmet. Auch hier ist der Programmierungsaspekt von besonderer Bedeutung, was durch Beiträge zu Übersetzungstechniken deutlich wird. Andere Beiträge diskutieren die verschiedenen Entwurfs-Freiheitsgrade, die auch beim Entwurf von RISC-Architekturen bestehen.

Fortgeschrittene Techniken der Mikroelektronik erlauben es, zu vertretbaren Kosten funktionsorientierte Architekturen anzubieten. Diese werden besonders im Bereich nichtimperativer Programmierung aber auch für Spezialanwendungen eingesetzt. Beides wird in Beiträgen der Sitzung über funktionsorientierte Architekturen behandelt. Einen Spezialfall der funktionsorientierten Architekturen stellen die Koprozessoren zu Universalsystemen dar. Ihnen ist eine weitere Sitzung gewidmet. Hier werden sowohl Konzepte zur Beschleunigung der Ein-/Ausgabe wie auch des Compiling beschrieben.

Monolithische Rechnersysteme werden mehr und mehr durch Rechnernetze abgelöst. Diesem Trend sind zwei Sitzungen gewidmet. Dabei behandeln die Beiträge schwerpunktmäßig Leistungsaspekte und Probleme der Kommunikationsprotokolle. Auch hier ist wieder eine enge Verzahnung von Hard- und Softwarekonzepten zu beobachten.

Die letzte (aber nicht unwichtige) Sitzung beschäftigt sich mit dem Hardware-Entwurf. Hier können heute in kürzester Zeit sehr verschiedene Lösungskonzepte verfolgt und in Implementierungen umgesetzt werden. Neben der Diskussion dieser Möglichkeiten und spezieller Ansätze wird der Test der so erhaltenen Hardware in unterschiedlichen Ausprägungen in zwei Beiträgen behandelt.

Wir freuen uns besonders, daß anerkannte Fachleute aus dem In- und Ausland gewonnen werden konnten, mit eingeladenen Vorträgen in die behandelten Themenkreise einzuführen. Ihnen sowie allen Autoren eingereicherter Beiträge gilt unser Dank für ihr Interesse an der Tagung.

Eine Tagung entsteht durch das Zusammenwirken vieler Einzelleistungen. Deshalb möchten wir allen jenen danken, die zum Gelingen beigetragen haben. Das sind insbesondere

- die Trägergesellschaften GI und ITG, vor allem deren Geschäftsstellen und Fachausschüsse, der Fachausschuß 3 "Architektur und Betrieb von Rechensystemen" der GI und der Fachausschuß 4 "Technische Informatik" der ITG,
- die Autoren, deren Beiträge die wesentliche Substanz der Tagung ausmachen,
- die übrigen Mitglieder des Programmausschusses, mit denen zusammenzuarbeiten ein Vergnügen war,
- alle unsere Mitarbeiter, die sich für die Abwicklung der Tagung tatkräftig eingesetzt haben,
- die Institutionen, die die Tagung finanziell unterstützen.

Wir denken, daß die "Jubiläumsveranstaltung" dieser Traditionstagung einen guten Überblick über die aktuellen Entwicklungen auf dem Gebiet der Architektur und des Betriebs von Rechenanlagen besonders im deutschsprachigen Raum gibt. Allen Teilnehmern der Tagung wünschen wir, daß ihre Erwartungen erfüllt werden und damit die Tagungsreihe 1988 in Paderborn erfolgreich fortgesetzt werden kann. Wir erwarten mit Spannung die nächsten zehn Veranstaltungen dieser Tagungsserie.

Paderborn, im Januar 1988

U. Kastens, F.J. Rammig

Inhaltsverzeichnis

Parallelrechner I

Das SUPRENUM-System: Architektur, Software und Anwendungen (eingeladener Vortrag) <i>H. Zima</i>	1
Parallele Ausführung sequentieller Programme auf Multiple Processing Systems <i>M. Caspar</i>	21
Optimizing the Peak-Performance of Vector Units with Dynamically Allocatable Vector Registers <i>H. Mierendorff</i>	34

Parallelrechner II

Connection Structures - a Component of Parallel Programming Languages <i>E. Hotzel</i>	47
A Multigrid Algorithm on Hypercube Systems <i>O. Kolp</i>	64
A Systolic Algorithm for the Generalized Transitive Closure <i>C. Moraga</i>	70

Prozeßkommunikation

Prozeßkommunikation mit asynchronem Empfangen <i>R. Oechsle</i>	80
Baumorientierte Kommunikation in verteilten Systemen <i>H. von Drachenfels</i>	94
Linda integriert in Modula-2 - ein Sprachkonzept für portable parallele Software <i>L. Borrmann, M. Herdieckerhoff</i>	106

RISC-Architekturen I

Code Generation and RISC Architectures (eingeladener Vortrag) <i>S. L. Graham</i>	119
Colibri: Ein Testfall für die RISC-Philosophie <i>Ch. Müller-Schloer, Th. Niedermeier, D. Rauh</i>	132
Die Befehlspipeline des COLIBRI-Systems <i>C. Legutko, E. Schäfer, J. Tappe</i>	142

RISC-Architekturen II

- Reorganisieren von Basisblöcken für Pipeline-Prozessoren 152
A. Poetzsch-Heffter
- Eine flexible Entwurfsumgebung für RISC-ähnliche Prozessorarchitekturen 168
T. Bergsträsser, J. Geßner, K. Hafner, S. Wallstab

Funktionsorientierte Architekturen

- System Architectures for Functional Programming Languages: Problems and Solutions 178
 (eingeladener Vortrag)
K. Berkling
- Compiled Graph Reduction on a Processor Network 198
*M. Raber, T. Remmel, E. Hoffmann, D. Maurer, F. Müller,
 H.-G. Oberhauser, R. Wilhelm*
- An Or-Parallel Logic Programming Machine for Non-shared Memory Architectures 213
J. Engels
- Konzept eines flagorientierten vollparallelen Assoziativprozessors auf der Basis der Flagalgebra 233
D. Tavangarian

Koprozessoren

- Transaktionsorientierte Datenverwaltung in einem intelligenten Disk Controller 250
J. Kreyßig, H. Schukat, H. Ch. Zeidler
- Überlegungen zu einer Hardware-Architektur zur schnellen Analyse von Programmiersprachen 268
K.-D. Lewke
- Alternative Rechnerarchitektur für Datenübertragungs-Controller mit hohen Datenraten 277
F. Fehlau, M. Rupprecht

Rechnernetze I

- Rechnernetze - Realisierung, Standardisierung, weitere Entwicklung 290
 (eingeladener Vortrag)
U. Dierk

Rechnernetze II

A Tool for Measuring and Monitoring Distributed Systems During Operation <i>D. Haban, D. Wybranietz</i>	307
Workload Modeling for Computer Networks <i>M. Calzarossa, G. Haring, G. Serazzi</i>	324
Automatische Codegenerierung für Protokolle in der ISO-Syntax ASN.1 <i>W. Gora, R. Speyerer</i>	340

Hardware-Entwurf

Microprocessor Features a la Carte (eingeladener Vortrag) <i>E. M. McCreight</i>	357
Validation in Top Down Design Including Test Pattern Generation <i>R. Reisig</i>	368
SAMP: A General Purpose Processor Based on a Self-Timed VLIW Structure <i>L. Nowak</i>	381
Gezielte Erzeugung von Zugriffskonflikten zu Testzwecken <i>J. Hülsemann</i>	391